

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-022440

(43)Date of publication of application : 30.01.1991

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 01-157694

(71)Applicant : NEC CORP

(22)Date of filing : 19.06.1989

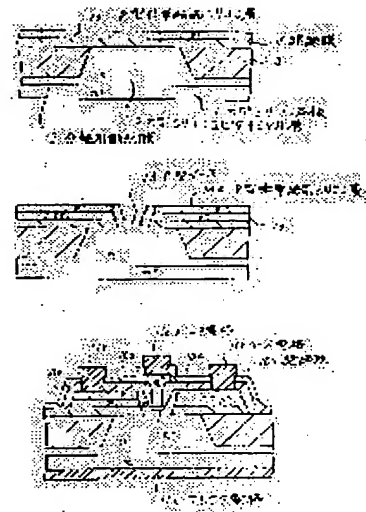
(72)Inventor : MIYAZAKI SHINICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce base resistance without lowering a current amplification factor by previously forming an unsingle crystal silicon layer having low resistance to the connecting section of a base and a base electrode before the base is shaped by a silicon epitaxial layer.

CONSTITUTION: In the manufacture of an n-p-n transistor as a single body having an emitter electrode 11a, a base electrode 11b and a collector electrode 11c, an n-type silicon epitaxial layer 2 is grown onto an n-type silicon substrate 1 in high concentration, an oxide film 3 for isolation is formed, and an insulating film 4 and a p-type unsingle crystal silicon layer 14 in high concentration are grown. Only a region as a base is bored selectively, and p-type silicon epitaxial growth is conducted. A p-type unsingle crystal silicon film 14a (a p-type polycrystalline silicon film or a p-type amorphous silicon film) is shaped onto the p-type un-single silicon layer 14 and the p-type base 13 composed of a silicon epitaxial film onto an opening section as the base through the p-type silicon epitaxial growth.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平3-22440

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月30日

H 01 L 21/331
29/73

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-157694

⑯ 出 願 平1(1989)6月19日

⑰ 発 明 者 宮 崎 紳 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

半導体装置の製造方法。

特許請求の範囲

半導体装置の製造方法

特許請求の範囲

所定部分が第1導電型のシリコン半導体基板上に、第1導電型のシリコンエピタキシャル層を形成する工程と、前記第1導電型のシリコンエピタキシャル層の所定部分に分離用酸化膜を形成する工程と、前記第1導電型のシリコンエピタキシャル層および前記分離用酸化膜とからなる表面上に絶縁膜と第2導電型の非単結晶シリコン層を積層し、前記絶縁膜および前記第1の非単結晶シリコン層上のベースとなるべき部分を開口した後、第2導電型のシリコン膜を堆積することにより、前記非単結晶シリコン層上には第2導電型の非単結晶シリコン膜を形成し、前記のベースとなるべき開口部上には第2導電型のシリコンエピタキシャル膜を形成する工程を有することを特徴とする半

発明の詳細な説明

(産業上の利用分野)

本発明はバイポーラ・トランジスタの製造方法に関し、特にバイポーラ・トランジスタのベースの製造方法に関する。

(従来の技術)

従来のバイポーラ・トランジスタの第1の例を第3図に示す。

第3図は、単体NPNトランジスタの例を示している。ここで、1は高濃度のn型シリコン基板、2はn型シリコンエピタキシャル層、3は分離用酸化膜、4は絶縁膜、5は高濃度のp型領域、6はp型ベース、7は熱酸化膜、8はエミッタ拡散用のn型多結晶シリコン膜、9はn型エミッタ、10は絶縁膜、11aはエミッタ電極、11bはベース電極、11cはコレクタ電極である。

上述の従来のバイポーラ・トランジスタにおいては、p型ベース6の形成は、通例としてボロン

($^{11}\text{B}^+$) のイオン注入法が用いられてきた。

(発明が解決しようとする課題)

しかしながら、近年、高速、高周波化が進むにつれ、より高速、高周波のバイポーラ・トランジスタが要求されるようになった。

バイポーラ・トランジスタの高速、高周波化には、次の2点が重要になる。即ち、第1に設計ルールの縮小化による寄生容量の低減、第2により浅いベース、エミッタ接合の形成による f_T の向上である。

第1の点に関しては、ステッパーを始めとする露光技術やセルフ・アライン構造により、顕著な進歩が見られてきたが、第2の点については、充分な進歩があったとはいえず、特に、前述のベース形成を $^{11}\text{B}^+$ のイオン注入による方法で行なうと、接合近傍で $^{11}\text{B}^+$ のチャンネルリングが生じるために、大略、 $0.3\mu\text{m}$ 以下の浅い接合を得るのは非常に困難である。その結果、ベース中のキャリア走行時間を充分低減できないため、 f_T の大幅な向上は望めない。

- 3 -

じるために高濃度のp型領域5を形成するのが一般的であるが、第4図のようなシリコンエピタキシャル膜をベースに用いるNPNトランジスタでは、p型ベース13が非常に浅いため、高濃度のp型領域の形成に必要な高温の熱処理を行なうと、p型不純物のプロファイルが広がり、浅いベースの維持が不可能になる。

一方、 $r_{bb'}$ を減じるため、p型多結晶シリコン膜12およびp型ベース13(すなわちシリコンエピタキシャル膜)の比抵抗を下ようとすると、n型エミッタ9からのキャリアの注入効率が落ち、充分な電流増幅率を得ることが困難となる。

(課題を解決するための手段)

本発明は、所定部分が第1導電型のシリコン半導体基板上に、第1導電型のシリコンエピタキシャル層を形成する工程と、このシリコンエピタキシャル層の所定部分に分離用酸化膜を形成する工程と、シリコンエピタキシャル層および分離用酸化膜とからなる表面上に絶縁膜と第2導電型の非単結晶シリコン層を積層し、絶縁膜および非単結

一方、特にこの数年の成果として、浅いベース領域を、例えばSi-MBEや気相分解法によるp型シリコン・エピタキシャル膜で形成することが、可能となってきた。この方法をNPNトランジスタに適用した第2の従来例を第4図に示す。この方法によれば、イオン注入法と異なり、チャンネルリングがなく、 $0.1\mu\text{m}$ 以下の極く浅いベースが形成できることから、バイポーラ・トランジスタの性能向上、特に f_T の向上に大きく寄与することができる。

第4図において、12はp型多結晶シリコン膜、13はp型ベースであり、両者はp型シリコン・エピタキシャル膜の成長の際、同時に形成される。すなわち、成長膜の下地が単結晶シリコンであればp型シリコン・エピタキシャル膜に、下地が非晶質であればp型多結晶シリコン膜になる。

しかしながら、第4図のようなNPNトランジスタでは、ベース抵抗($r_{bb'}$)を低減できないという問題点がある。即ち、従来のNPNトランジスタでは、第3図に示したように、 $r_{bb'}$ を減

- 4 -

晶シリコン層上のベースとなるべき部分を開口した後、第2導電型のシリコン膜を堆積することにより、非単結晶シリコン層上には第2導電型の非単結晶シリコン膜を、ベースとなるべき開口部上には第2導電型のシリコンエピタキシャル膜によるベースを形成する工程を有する。

(実施例)

本発明の第1の実施例の工程順概略縦断面図を第1図(a)~(e)に示す。本実施例は、単体のNPNトランジスタの例である。

まず、第1図(a)に示すように、高濃度のn型シリコン基板1上にn型シリコンエピタキシャル層2を成長し、分離用酸化膜3を形成した後、絶縁膜4および高濃度のp型非単結晶シリコン層14(p型多結晶シリコン層もしくはp型非晶質シリコン層)を成長させる。このとき、p型非単結晶シリコン層14は、成長中にボロンをドーパしたものでよいし、ノン・ドーパの非単結晶シリコン層にボロン($^{11}\text{B}^+$)をイオン注入するかBC ℓ_3 等のガス拡散を行なって形成してもよ

- 5 -

- 6 -

い。

次に、第1図(b)に示すように、ベースとなるべき領域のみを選択的に開口し、p型シリコンエピタキシャル成長を行なう。この時、この成長により、p型非単結晶シリコン層14上にはp型非単結晶シリコン膜14a(p型多結晶シリコン膜もしくはp型非晶質シリコン膜)が、ベースとなるべき開口部上にはシリコンエピタキシャル膜からなるp型ベース13が形成される。このp型シリコンエピタキシャルの成長方法は、Si-MBE法もしくは、通常の SiH_4 、 Si_2H_6 、 SiH_2Cl_2 等の気相分解法である。

p型非単結晶シリコン膜14aならびにp型ベース13の膜厚および不純物濃度は、成長方法により異なるが、概ね、必要とするデバイス特性を基に決定すればよい。例えば、p型ベース13に0.1 μm 厚のエピタキシャル膜を使用するとしても、スイッチング素子の場合には、重視するためにベースの不純物濃度はたかだか $10^{17}\sim 10^{18}\text{cm}^{-3}$ とすればよいし、アナログ素子の場合には $10^{16}\sim 10^{17}\text{cm}^{-3}$ 程度にするとよい。

- 7 -

10aを成長させ、エミッタ・コンタクトおよびベース・コンタクトの開口を行ない、エミッタ電極11a、ベース電極11b、コレクタ電極11cを形成し、単体のNPNトランジスタを完成する。

第2図(a)、(b)は、本発明の第2の実施例である半導体集積回路に用いるNPNトランジスタの工程順概略縦断面図である。

まず、第2図(a)に示すように、p型シリコン基板1aの所定の部分に高濃度のn型埋込み層15を形成した後、n型シリコンエピタキシャル層2を成長する。n型シリコンエピタキシャル層2の所定箇所を分離用酸化膜3に変換した後、拡散マスク用の絶縁膜4aを形成し、選択的に高濃度のn型不純物の拡散を行ない高濃度のn型コレクタ引き上げ部16を形成する。

しかる後、拡散マスク用の絶縁膜4aを全面除去してから絶縁膜4および高濃度のp型非単結晶シリコン層14(p型多結晶シリコン層もしくはp型非晶質シリコン層)を積層し、ベースとなるべき領域を開口した後、p型シリコンエピタキシャ

- 9 -

ル成長を行ない、第2図(b)に示す構造となる。この時、この成長により、p型非単結晶シリコン層14上にはp型非単結晶シリコン膜14a(p型多結晶シリコン膜もしくはp型非晶質シリコン膜)が、ベースとなるべき開口部上にはシリコンエピタキシャル膜からなるp型ベース13が形成される。

以後の製造工程は、コレクタ電極を裏面には形成せずに表面に形成することを除いて、第1の実施例と同じである。

なお、第1ならびに第2の実施例ではNPNトランジスタの場合について述べたが、PNPトランジスタにおいても、不純物の極性を逆転させるだけで容易に実現できることは明らかである。

〔発明の効果〕
以上説明したように、本発明は、シリコンエピタキシャル層でベースを形成する前に、予め、ベースとベース電極とを結びつける部分に、低抵抗の非単結晶シリコン層(NPNトランジスタの場合はp型、PNPトランジスタの場合はn型)を

最後に、第1図(e)に示すように、絶縁膜

- 8 -

- 10 -

形成することにより、電流増幅率の低下を招くことなく、大幅にベース抵抗を低減することができる。

シリコンエピタキシャル層をp型ベースに用いた本発明の一実施例と第2の従来例(第4図)との比較をし、数値により改善の効果を示す。p型多結晶シリコン膜12(従来例におけるp型ベースとベース電極とを結びつける膜)の層抵抗 $\rho_{s1}=3\text{ k}\Omega/\square$ 、p型多結晶シリコン膜12の幅 $S=3\text{ }\mu\text{m}$ 、p型ベース13の幅(=エミッタ幅) $W=1\text{ }\mu\text{m}$ 、p型ベース13の層抵抗 $\rho_{s2}=10\text{ k}\Omega/\square$ 、p型非単結晶シリコン層14の層抵抗 $\rho_{s3}=300\text{ }\Omega/\square$ 、p型非単結晶シリコン膜14aの層抵抗はp型多結晶シリコン膜12の層抵抗とほぼ同じ、エミッタ長 $=10\text{ }\mu\text{m}$ 、ダブル・ベース構造、とすると、従来のNPNトランジスタのベース抵抗は $r_{be1}=530\text{ }\Omega$ 、本実施例のNPNトランジスタのベース抵抗は $r_{be2}=125\text{ }\Omega$ となり、ほぼ80%のベース抵抗の低減効果を得られた。

図面の簡単な説明

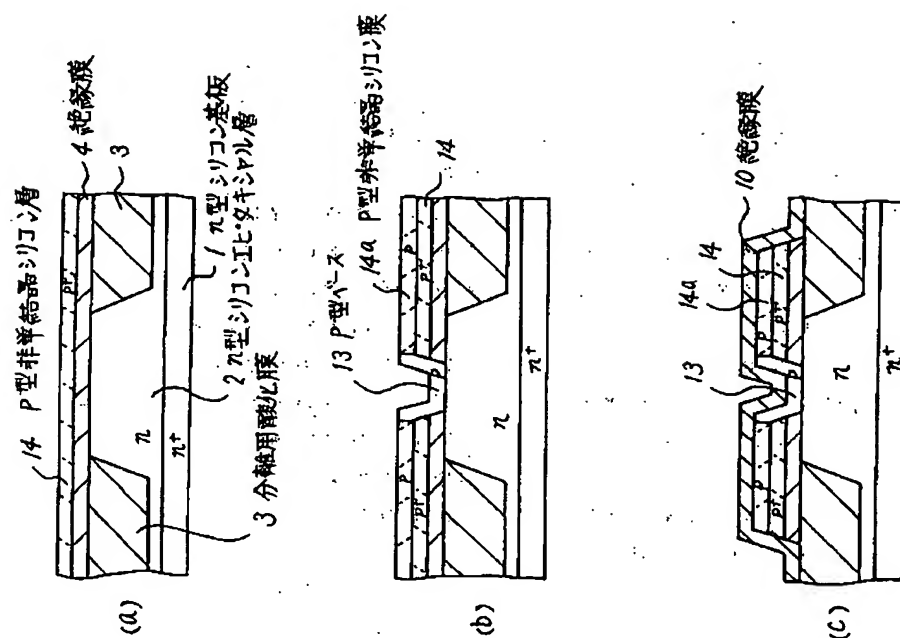
第1図(a)~(e)、第2図(a)、(b)は本発明の実施例の工程順略縦断面図、第3図、第4図は従来のバイポーラ・トランジスタの略縦断面図である。

1…p型シリコン基板、1a…n型シリコン基板、2…n型シリコンエピタキシャル層、3…分離用酸化膜、4、4a、10、10a…絶縁膜、5…高濃度のp型領域、6、13…p型ベース、7…熱酸化膜、8…n型多結晶シリコン膜、9…n型エミッタ、11a…エミッタ電極、11b…ベース電極、11c…コレクタ電極、12…p型多結晶シリコン膜、14…p型非単結晶シリコン膜、14a…p型非単結晶シリコン層、15…n型埋込み領域、16…n型コレクタ引き上げ部。

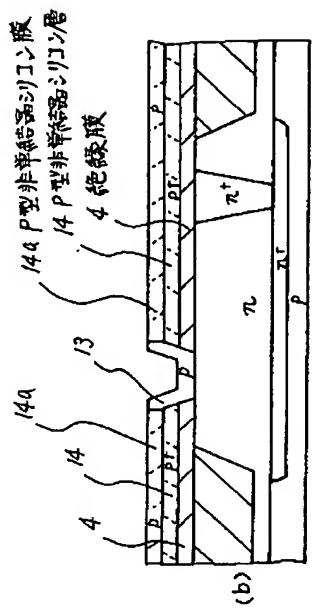
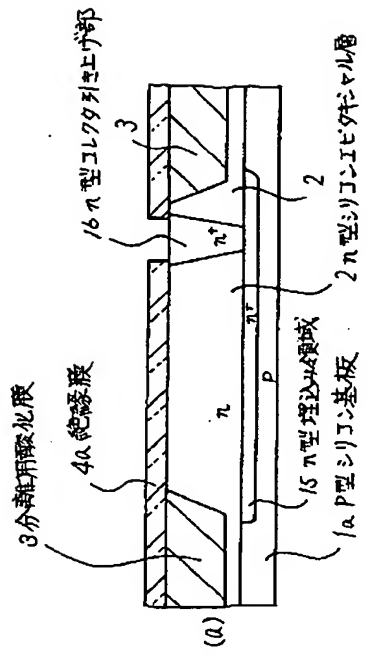
代理人 弁理士 内 原 晋

- 1 1 -

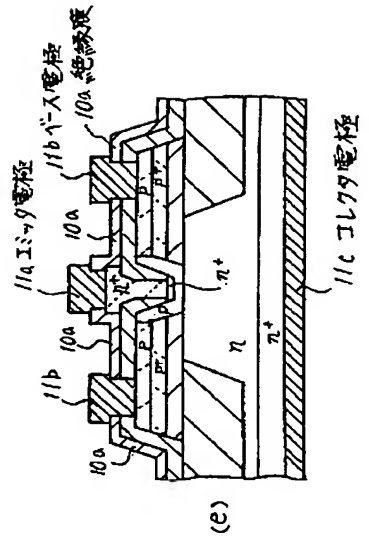
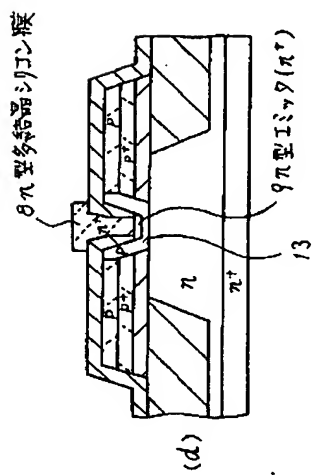
- 1 2 -



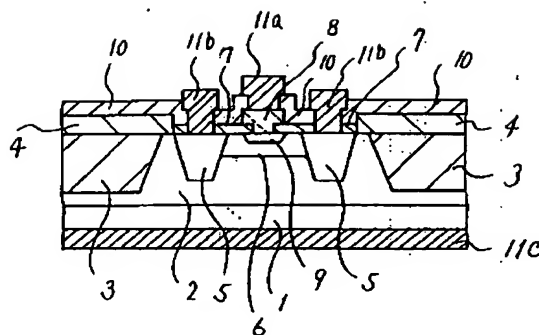
第1図



第 2 図

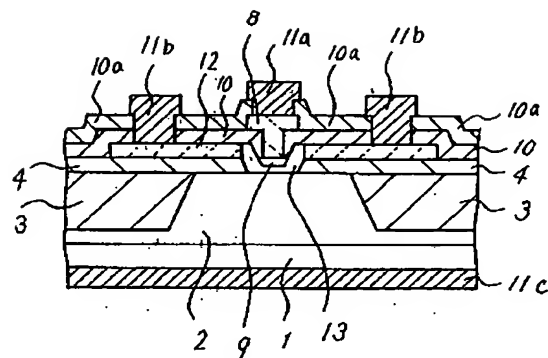


第 1 図



- | | |
|--------------------------------|------------------------------|
| 1 ... n 型シリコン基板(n^+) | 8 ... n 型多結晶シリコン膜(n^+) |
| 2 ... n 型シリコンエピタキシャル層(n) | 9 ... n 型インサ(n^+) |
| 3 ... 分離用酸化膜 | 10 ... 絶縁膜 |
| 4 ... 絶縁膜 | 11a ... エミッタ電極 |
| 5 ... p 型領域(p^+) | 11b ... ベース電極 |
| 6 ... p 型ベース(p) | 11c ... コレクタ電極 |
| 7 ... 熱酸化膜 | |

第 3 回



- | | |
|------------------------------------|-----------------------------|
| 1 ... π 型シリコン基板(π^+) | 10 ... 絶縁膜 |
| 2 ... π 型シリコンエピタキシャル層(π) | 10a ... 絶縁膜 |
| 3 ... 分離用酸化膜 | 11a ... イミタ電極 |
| 4 ... 絶縁膜 | 11b ... ベース電極 |
| 8 ... π 型多結晶シリコン膜(π^+) | 11c ... コレクタ電極 |
| 9 ... π 型イミタ(π^+) | 12 ... P 型多結晶シリコン膜(P) |
| | 13 ... P 型ベース(P) |

第 4 图

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.